

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Problem Image Mailbox.**

T1-13800 JA DIV 3

No.62-101096

**English Translation of Essential Part of Japanese Published Unexamined****Utility Model Registration Application No.62-101096****(Publication No.64-6572 )**

Filed Date: July 7, 1987

Published Date: January 13, 1989

Applicant: Miatsubishi Denki Kabusikikaisha

**Title of the Invention:** Integrated Circuit**Claim:**

An integrated circuit, comprising:

- a plurality of test data outputting shift registers which outputs data in parallel to a predetermined circuit and inputs/outputs data in serial;

- a plurality of test data inputting shift registers which inputs data in parallel from said predetermined circuit and inputs/outputs data in serial;

- a first outside terminal for providing a clock signal to drive said sift registers;

- a second outside terminal for switching said plurality of shift registers into either of parallel data input mode, serial data input mode, and serial data output mode;

- a signal path for transferring data within said plurality of shift registers from the serial data output terminal of one of said shift registers to the serial data input terminal of next one of said next shift registers;

- a shift path made of said path and said shift registers;

No.62-101096

a logic circuit for outputting Exclusive OR between data from the last stage of said shift path made of said test data outputting shift registers and data from the last stage made of said test data inputting shift registers; and

a third outside terminal for outputting the output of said logic circuit.

**Brief Explanation of Drawings:**

Fig.1 shows an embodiment of the present invention.

Fig.2 shows a timing chart showing essential parts of test data of the present invention.

Fig.3 shows a prior art integrated circuit.

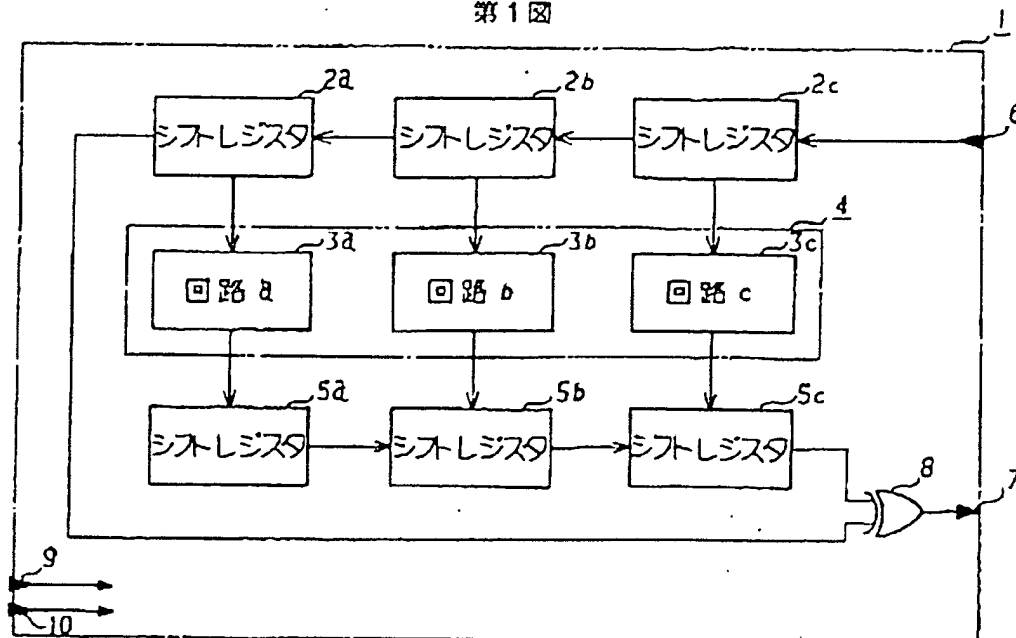
**Reference Numbers:**

- |             |                                     |
|-------------|-------------------------------------|
| 1           | Integrated circuit                  |
| 2a, 2b, 2c  | Test data inputting shift register  |
| 5a, 5b, 5c  | Test data outputting shift register |
| 3a, 3b, 3c  | Circuit                             |
| 4           | ... .. Calculation circuit          |
| 6, 7, 9, 10 | Outside terminal                    |
| 8           | Logic circuit (Exclusive Or)        |

The same reference number cites the same or similar parts in the Drawings.

実開. 昭64-6572(2)

第1図



- 1 : 乗積回路
- 4 : 演算回路
- 6 : 外部端子
- 7 : 外部端子
- 8 : 論理回路
- 9 : 外部端子
- 10 : 外部端子

Test Pattern

第2図

テスト/パターン番号	1	2	3	4	---	n
テストデータ出力用 シフトレジスタ(2a)(2b) (2c)のデータ	A	B	C	D	---	Y
テストデータ出力用 シフトレジスタ(2a)(2b) (2c)のデータによる 回路(4)の出力データ	B	C	D	E	---	Z
テストデータ入力用 シフトレジスタ(5a)(5b) (5c)のデータ	A	B	C	D	---	Y
論理回路(8)の 入力データ	A	B	C	D	---	Y
	A	B	C	D	---	Y

Data for  
Shift registers  
2a, 2b, 2c

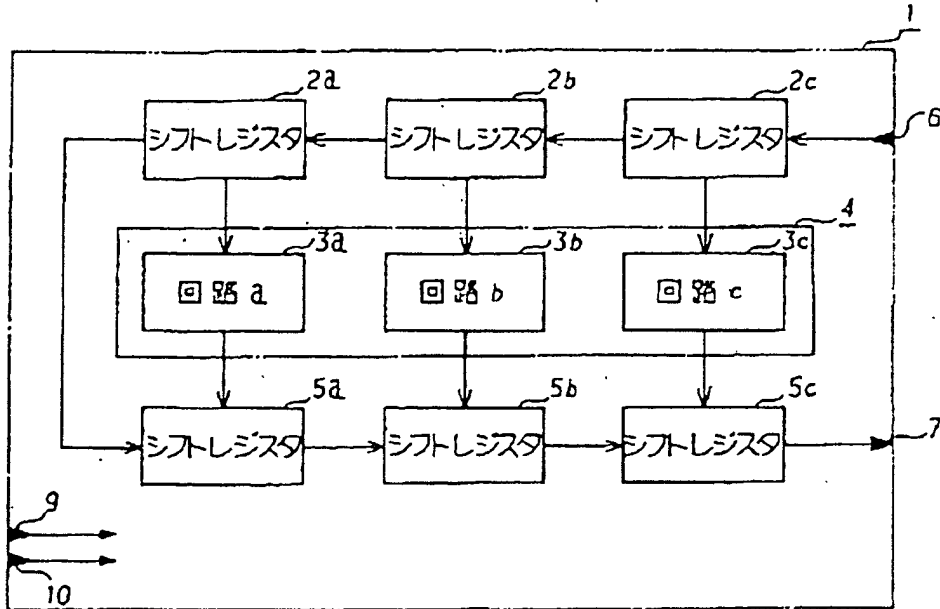
Output data  
from circuit 4

Data from  
Shift registers  
5a, 5b, 5c

Input Data  
for Exclusive OR 8

実開 昭64-6572(3)

第3図 prior art



## ⑫ 公開実用新案公報(U)

昭64-6572

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑯ 公開 昭和64年(1989)1月13日

G 01 R 31/28

G-6912-2G

審査請求 未請求 (全3頁)

⑰ 考案の名称 集積回路

TI-13800 JP.3

⑱ 実 願 昭62-101096

⑲ 出 願 昭62(1987)7月1日

⑳ 考 案 者 佐 藤 幸 男 神奈川県鎌倉市上町屋325番地 三菱電機株式会社鎌倉製作所内

㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代 理 人 弁理士 大岩 増雄 外2名

## ㉓ 実用新案登録請求の範囲

所要の回路にデータをパラレル出力し、さらにデータをシリアルに出力する複数のテストデータ出力用シフトレジスタと、上記所要の回路より、データをパラレル入力し、さらにデータをシリアルに出力する複数のテストデータ入力用シフトレジスタと、上記テスト用シフトレジスタを駆動するクロック信号を供給する外部端子と、上記テスト用シフトレジスタ群をパラレルデータ入力動作状態又は、シリアルデータ入力、シリアルデータ出力動作状態に切換える外部端子と、上記テスト用シフトレジスタ群の各々においてテスト用シフトレジスタのシリアルデータの出力端子から隣接するテスト用シフトレジスタのシリアルデータ入力端子へデータを供給する経路と、上記テスト用シフトレジスタと上記経路とに

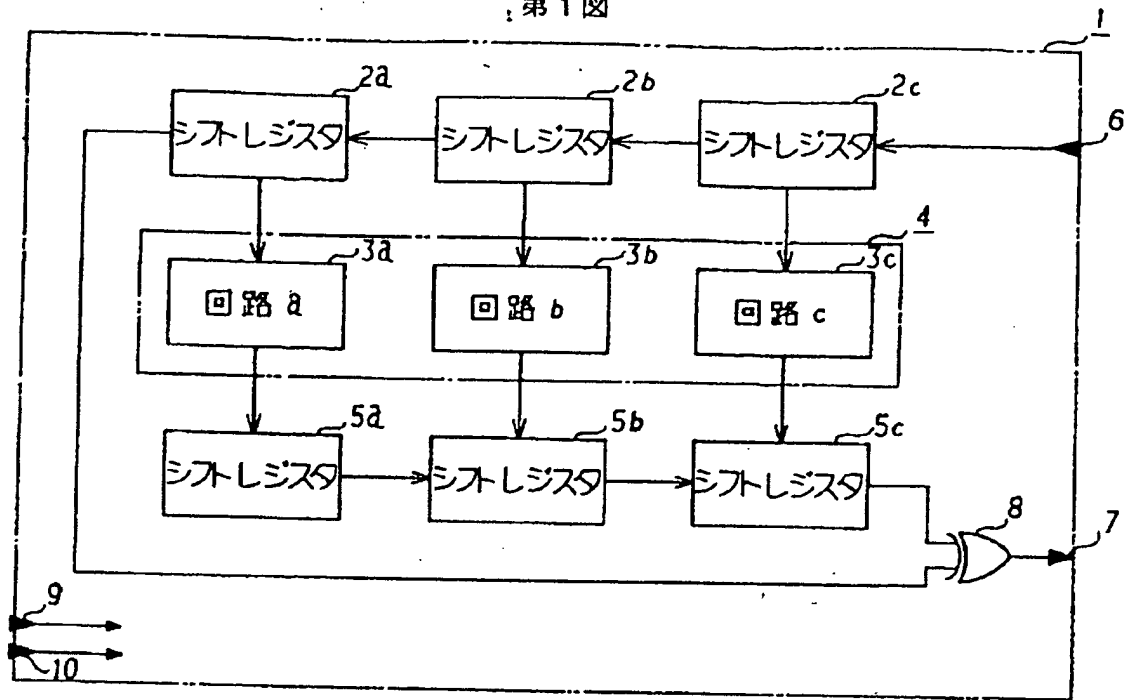
より形成されるシフト・バスと、上記テストデータ入力用シフトレジスタにより形成されるシフト・バスの最終段のデータと上記テストデータ出力用シフトレジスタにより形成されるシフト・バスの最終段のデータの排他的論理和を出力する論理回路と、上記論理回路の出力を外部に出力する外部端子を備えたことを特徴とする集積回路。

## 図面の簡単な説明

第1図はこの考案の実施例を示す図、第2図はこの考案の実施例のテストデータの主な部分のタイムチャート、第3図は従来の集積回路を説明するための図である。

図において、1は集積回路、2、5はシフトレジスタ、3は回路、4は演算回路、6、7、9、10は外部端子、8は論理回路である。なお、図中、同一符号は同一または相当部分を示す。

第1図

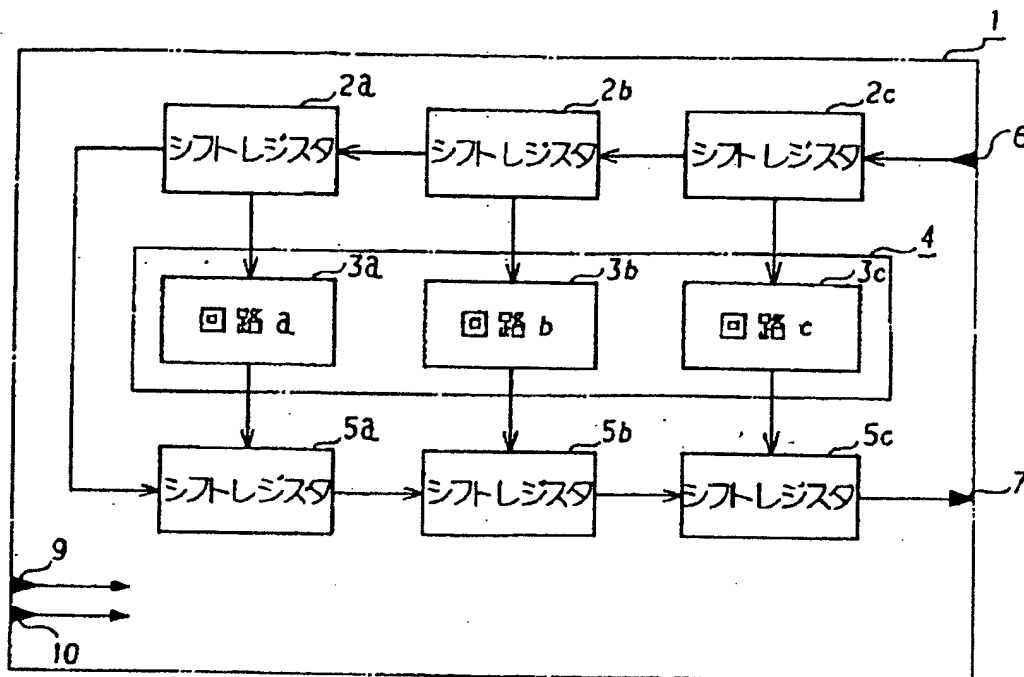


- 1 : 集積回路
- 4 : 演算回路
- 6 : 外部端子
- 7 : 外部端子
- 8 : 論理回路
- 9 : 外部端子
- 10 : 外部端子

第2図

テスト/パターン番号	1	2	3	4	---	n
テストデータ出力用 シフトレジスタ(2a)(2b) (2c) のデータ	A	B	C	D	---	Y
テストデータ出力用 シフトレジスタ(2a)(2b) (2c) のデータによる 回路(4)の出力データ	B	C	D	E	---	Z
テストデータ入力用 シフトレジスタ(5a)(5b) (5c) のデータ	A	B	C	D	---	Y
論理回路(8)の 入力データ	A	B	C	D	---	Y
	A	B	C	D	---	Y

第3図





# 公開実用 昭和64-6572

⑩ 日本国特許庁 (JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報 (U)

昭64-6572

⑬ Int. Cl. \*

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)1月13日

G 01 R 31/28

G-6912-2G

審査請求 未請求 (全 頁)

⑮ 考案の名称 集積回路

⑯ 実 願 昭62-101096

⑰ 出 願 昭62(1987)7月1日

⑱ 考 案 者 佐 藤 幸 男 神奈川県鎌倉市上町屋325番地 三菱電機株式会社鎌倉製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

### 1. 考案の名称

#### 集積回路

### 2. 実用新案登録請求の範囲

所要の回路にデータをパラレル出力し、さらにデータをシリアルに入力、出力する複数のテストデータ出力用シフトレジスタと、上記所要の回路より、データをパラレル入力し、さらにデータをシリアルに入力、出力する複数のテストデータ入力用シフトレジスタと、上記テスト用シフトレジスタを駆動するクロック信号を供給する外部端子と、上記テスト用シフトレジスタ群をパラレルデータ入力動作状態又は、シリアルデータ入力、シリアルデータ出力動作状態に切換える外部端子と、上記テスト用シフトレジスタ群の各々においてテスト用シフトレジスタのシリアルデータの出力端子から隣接するテスト用シフトレジスタのシリアルデータ入力端子へデータを供給する経路と、上記テスト用シフトレジスタと上記経路とにより形成されるシフト・バスと、上記テストデータ入力

(1)

902

実開 64-6572

用シフトレジスタにより形成されるシフト・バスの最終段のデータと上記テストデータ出力用シフトレジスタにより形成されるシフト・バスの最終段のデータの排他的論理和を出力する論理回路と、上記論理回路の出力を外部に出力する外部端子を備えたことを特徴とする集積回路。

### 3. 考案の詳細を説明

#### 〔産業上の利用分野〕

この考案は、例えば集積回路のテストを容易に行うためのものである。

#### 〔従来の技術〕

第3図は、例えば従来の集積回路のブロック図であり、図において、(1)は集積回路、(2a)(2b)(2c)はテストデータ出力用シフトレジスタ、(4)は回路(3a)、(3b)、(3c)で構成される被テスト演算回路、(5a)、(5b)、(5c)はテストデータ入力用シフトレジスタ、(6)は上記テストデータ出力用シフトレジスタにテストデータを入力する外部端子、(7)は上記テストデータ入力用シフトレジスタからテスト結果データを出力する外部端子、(9)は上記テストデ

(2)

ータ出力用シフトレジスタ、テストデータ入力用シフトレジスタをパラレルデータ出力、パラレルデータ入力動作状態、又は、シリアルデータ入力、シリアルデータ出力動作状態に切換える外部端子、 $\Phi$ は上記テスト用シフトレジスタを駆動するクロック信号を供給する外部端子である。

従来の集積回路は上記のように構成され、例えば演算回路(4)をテストするためには、まず、テスト用シフトレジスタ群を、外部端子(9)から、シリアルデータ入力、シリアルデータ出力動作状態に切換えて行い、テストデータは、外部端子(6)からシリアルに入力され、テストデータ出力用シフトレジスタ(2a)、(2b)、(2c)に与えられる。このテストデータ出力用シフトレジスタに与えられたテストデータは、テスト用シフトレジスタ群を外部端子(9)からパラレルデータ出力、パラレルデータ入力動作状態にし、演算回路(4)に与えられる。演算回路(4)は、上記のテストデータに応じた動作を行い、テストデータ入力用シフトレジスタ(5a)、(5b)、(5c)に演算回路(4)の出力信号を保持する。次に、

(3)

外部端子(9)から、テストデータ入力用シフトレジスタをシリアルデータ入力、シリアルデータ出力動作状態に切換えて、テストデータ入力用シフトレジスタ(5a)、(5b)、(5c)に保持された演算回路(4)の出力信号を外部端子(7)から出力する。この出力信号を、演算回路(4)の出力期待値と比較することにより、演算回路(4)のテストを行う。

〔考案が解決しようとする問題点〕

上記のような従来の集積回路では、テストする回路の出力値を出力期待値と比較する必要がある為、出力期待値を作成する必要がある。また、外部で比較しなければならない為、出力結果を保存する必要がある。さらに、テストのデータ量が多くなり、テストの検証が複雑であるという問題点があった。

この考案は、上記のような問題点を解決する為になされたもので集積回路のテストを行う場合のテスト用出力期待値の作成と、出力期待値との比較を不用にし、エラー解析、検証を簡単化することを目的とする。

(4)

〔問題点を解決する為の手段〕

この考案に係る集積回路は、テストデータ入力用シフトレジスタの出力とテストデータ出力用シフトレジスタの出力の排他的論理和を行う論理回路を備えて比較することにより、集積回路のテストができる構成にしたものである。

〔作用〕

この考案においては、集積回路の内部で、出力信号を比較できるので、テスト用出力期待値の作成と、出力期待値との比較を不用にし、エラー解析、検証を簡単に行うことが可能となる。

〔実施例〕

第1図は、この考案の一実施例を示す図であり、(1)、(2a)、(2b)、(2c)、(4)、(5a)、(5b)、(5c)、(6)、(9)、(10)は、上記従来のもものと全く同一のものである。(7)は、テスト結果を出力する外部端子、(8)はテストデータ入力用シフトレジスタの出力とテストデータ出力用シフトレジスタの排他的論理和を出力する論理回路である。

上記のように構成された集積回路において、演

(5)

算回路(4)の検証のためテストを行う場合は、外部端子(9)から、テスト用シフトレジスタ群をシリアルデータ入力、シリアルデータ出力動作状態に切換え、外部端子(6)から、テストデータ出力用シフトレジスタ(2a)、(2b)、(2c)にテストデータを与える。この時与えるテストデータは、前に与えたテストデータに対する演算回路(4)の出力値をテストデータとして与える。このテストデータ出力用シフトレジスタに与えられたテストデータは、上記外部端子(9)からパラレルデータ出力、パラレルデータ入力動作状態にすることで、演算回路(4)に与えられ、同時に、前に与えたテストデータに対する演算回路(4)の出力データがテストデータ入力シフトレジスタ(5a)、(5b)、(5c)に保持される。この時、演算回路(4)が正しく動作していれば、上記、テストデータ出力用シフトレジスタ(2a)、(2b)、(2c)のデータと、上記テストデータ入力シフトレジスタ(5a)、(5b)、(5c)のデータは一致している。そして、外部端子(9)から、上記のテスト用シフトレジスタ群をシリアルデータ入力、シリアルデータ出

(6)

力動作状態に切換え、テストデータ出力用シフトレジスタとテストデータ入力用シフトレジスタのデータをシリアルに出力し、この出力を論理回路(8)で、排他的論理和により比較する。テストデータ入力シフトレジスタ(2a)、(2b)、(2c)のデータとテストデータ出力シフトレジスタ(5a)、(5b)、(5c)のデータが全て一致していれば、論理回路(8)からの出力である外部端子(7)は、論理的に0になる。この動作を繰り返し、外部端子(7)が常に論理的に0になっていることを確認することで、演算回路(4)の検証が可能である。

ところで、上記説明では、1つの回路を検証する場合について述べたが、上記の構成を複数持たせることにより、同時に複数の回路の検証ができ、上記実施例と同様の効果を奏する。

第2図に、この考案の実施例のテストデータの主な部分のタイムチャートを示す。

#### 〔考案の効果〕

この考案は、以上説明したとおり、シフトレジスタと排他的論理和を出力する論理回路の簡単な

(7)



構成により、集積回路のテストを行う場合の出力期待値との比較を容易にし、集積回路のエラー検出を簡単化される効果がある。

#### 4. 図面の簡単な説明

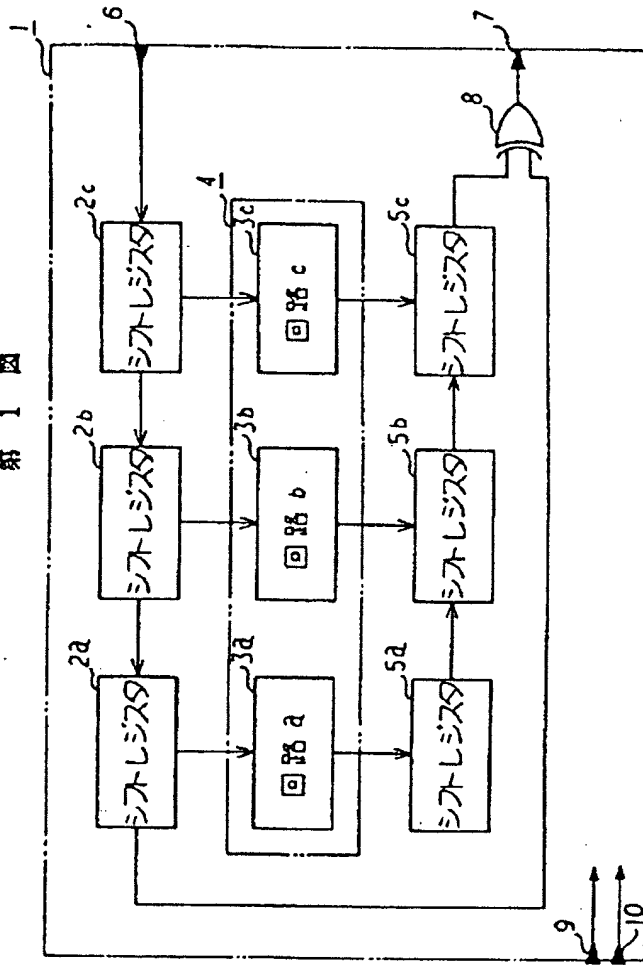
第1図はこの考案の実施例を示す図、第2図はこの考案の実施例のテストデータの主な部分のタイムチャート、第3図は従来の集積回路を説明するための図である。

図において、(1)は集積回路、(2)、(5)はシフトレジスタ、(3)は回路、(4)は演算回路、(6)、(7)、(9)、(10)は外部端子、(8)は論理回路である。

なお、図中、同一符号は同一または相当部分を示す。

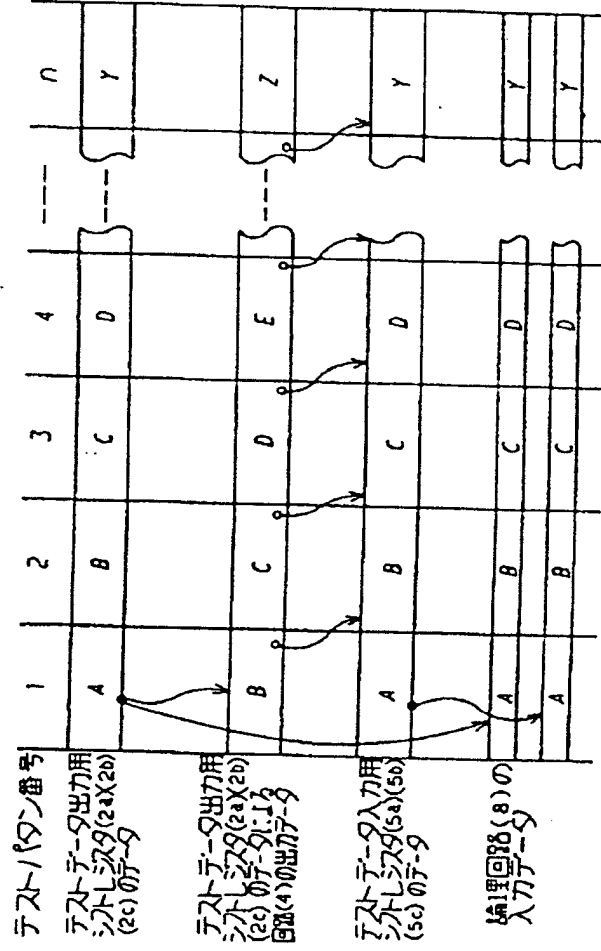
代理人 大 岩 増 雄

第 1 図



- 1 : 果積回路
- 4 : 演算回路
- 6 : 外部端子
- 7 : 外部端子
- 8 : 論理回路
- 9 : 外部端子
- 10 : 外部端子

第 2 図



第 3 図

